

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭55—83251

⑫ Int. Cl.³
H 01 L 21/90
27/06
29/78

識別記号

庁内整理番号
7210—5F
6426—5F
6603—5F

⑬ 公開 昭和55年(1980)6月23日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭53—158887

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭53(1978)12月20日

川崎市中原区上小田中1015番地

⑱ 発 明 者 白土猛英

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板表面に素子間絶縁分離領域を形成し、該素子間絶縁分離領域間の素子形成領域表面に第1の二酸化シリコン層を形成し、該第1の二酸化シリコン層表面から前記素子間絶縁分離領域上に延在する第1の多結晶半導体層を形成し、該多結晶半導体層表面に第2の二酸化シリコン層と、該第2の二酸化シリコン層表面を含む前記半導体基板表面に第3の二酸化シリコン層を形成し、該第3の二酸化シリコン層表面に所望の領域を開口部とするホト・レジスト膜を形成し、該開口部に不純物を導入した後、前記開口部に金属層を形成し、該金属層をマスクとして前記第3の二酸化シリコン層を除去し、前記金属層を除去する、前記半導体基板表面に第4の二酸化シリコン層を形成し、該第4の二酸化シリコン層表面に第2の多結晶シリコン層を形成し、該第2の多結晶シリコン層と、

その下層の少なくとも第3の二酸化シリコン層を選択的に除去して、ゲート電極と配線体とを形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、集積回路 (I/Oと略す) 等半導体基板内に含まれる各素子に対する要求特性に対応した厚さの酸化膜を形成させる、多結晶半導体を配線体とする多層配線構造を有する半導体装置の製造方法に関する。

I/Oにとって高密度化と高速化は大きな技術的課題である。これらのうち高密度化を目的として多結晶半導体を配線材として用いた多層配線構造がしばしば用いられている。

その一例としてダイナミックMOSRAM (ランダム・アクセス・メモリー) の断面構造を第1図に示す。

同図に示すように半導体基板1表面に形成されるMOSRAMはメモリ・セル領域 (領域1) と周辺回路用トランジスタ領域 (領域2) から成っている。

同図においてT₁Mはメモリ・セルのトランジスタ・ファーストゲートを構成するMUSトランジスタ、Uは電荷保持用キャパシタである。また周辺回路用トランジスタは、アドレスデコーダ等々を構成するMUSトランジスタである。

ここで、メモリ・セル領域にあっては高集積化を目的として第1の多結晶シリコン層により形成された電極兼配線体2上には、第2の多結晶シリコン層5により形成された他の配線体、例えば隣接するメモリ・セルから延在するワード線が設けられ、その間は二酸化シリコン(SiO₂)層15で絶縁されている。該SiO₂層15はメモリ・セルのトランジスタのゲート酸化膜13、及び周辺トランジスタのゲート酸化膜14と同時に形成されるので、その膜厚は通常1000(Å)程度である。

なお、同図において、11はフィールド酸化膜、17は磷シリケートガラス(PSG)層、18、19はメモリ・セルMUSトランジスタのソース領域、ドレイン領域、20、21は周辺回路用MUSトランジスタのソース領域、ドレイン領域

- 3 -

酸化膜15の厚を異ならしめるには、マスク工程をふやさねばならないという問題があった。

その理由を第2図、第3図により説明する。

第2図はMUSダイナミックRAM製造工程の途中の状態を示している。

領域1はメモリ・セル領域、領域2は周辺回路用トランジスタ領域、1は半導体基板、11は素子間絶縁分離領域、2は第1の多結晶シリコンでメモリ・セルの電荷保持部(キャパシタ)の電極兼配線体を構成し、キャパシタの誘電体となる第1の二酸化シリコン層12を介して半導体基板1表面に形成され、前記素子間絶縁分離領域11表面に延在する。13及び14は第3の二酸化シリコン層で、将来MUSトランジスタのゲート酸化膜となる。15も同じく第3の二酸化シリコン層であって、後工程で形成される第2の多結晶シリコン層と前記第1の多結晶シリコン層2を分離する絶縁体である。また二酸化シリコン層16は前記第1の多結晶シリコン層2の上に形成された第2の二酸化シリコン層が前記第3の二酸化シリコ

- 5 -

である。

しかしながらこのようにSiO₂層の厚さを同一にするのは工程が一回で済む利点はあるが、各素子に要求される特性を考えると設計の自由度を著しく制限しており、この点は大きな欠点である。

即ち高速化のためには周辺トランジスタの閾値電圧を低くする方がよく、それには周辺トランジスタのゲート酸化膜14は薄い方が望ましい。

一方メモリ・セル内のトランジスタは余リスピードには関係がなく、むしろ耐圧を高く、ゲート容量を小さく、またキャパシタに蓄えられた電荷のリークを抑える方がよく、それにはメモリ・セル内トランジスタの閾値電圧は高くする方がよい。即ちメモリ・セル内ゲート酸化膜13は厚くする方が望ましい。また前記多層配線部の分離用酸化膜15も耐圧を高くするためには厚くすることが望ましい。

これらの要求を満たすべく周辺トランジスタのゲート酸化膜14とメモリ・セル内トランジスタのゲート酸化膜13の厚さ、及び多層配線体分離

- 4 -

ン層の形成により厚さを増したものである。8はホト・レジスタ膜でメモリ・セル領域を開口部とし、周辺トランジスタ領域を覆覆するよう形成されている。同図の矢印は前記ホト・レジスタ膜8をマスクとしてイオン注入法によりボロンをメモリ・セル内の素子部に導入し、該メモリ・セル部のトランスファーマUSトランジスタの閾値(V_{th})を調節することを示している。この時打込エネルギーを調節して、ボロンは薄い二酸化シリコン層13は透過しないようにする。
(この部分は透過しないようにする。)

そして、従来の方法においては、上記第2図の状態からホト・レジスタ膜8を除去した後第2の多結晶シリコン層を全面に形成し、次いでパターニングを行ない第3図に示す構造を得る。第3図において3及び4は第2の多結晶シリコン層で、MUSトランジスタのゲート電極となり、5は同じく第2の多結晶シリコン層よりなる配線体である。13、14、15は前述の如く、第3の二酸化シリコン層で同時に形成され、従って厚さは同一である。

- 6 -

前記二酸化シリコン層13, 14, 15の厚さを通常の方法で前述の如く14を薄く、他を厚くしようとすると、第2図のあと、ホト・レジスト膜8を除去し、次いで周辺回路用トランジスタ領域IIを開口部とするホト・レジスト膜を形成し、該ホト・レジスト膜をマスクとして、周辺トランジスタ領域IIの二酸化シリコン層14をエッチングするなどの方法が必要となる。即ち、マスク工程が一回増加することとなり、歩留り低下などの悪影響がある。

本発明の目的は、上記問題点を除去して、マスク工程をふやすことなく、周辺回路用トランジスタ領域と、メモリ・セル領域の二酸化シリコン層の厚さを任意に制御し得る半導体装置の製造方法を提供しようとするにある。

以下本発明を一実施例に基いて説明する。

第4図ないし第7図は、本発明の一実施例を説明するための図面である。

第4図は第2図と同じ図面であるが説明の便宜上省略したものである。ここまでは従来方法で造

めてよい。本発明によればこのあと、半導体基板1の表面にアルミニウム層9を蒸着により形成し、次いで前記ホト・レジスト膜8を除去し、同時に該ホト・レジスト膜8上のアルミニウム層を除去するリフト・オフ法を適用して、第5図に示すようにメモリ・セル領域I表面を覆うアルミニウム層9を形成する。次いで該アルミニウム層9をマスクとして前記周辺回路用トランジスタの形成領域を覆う第3の二酸化シリコン層14をエッチングにより除去する。

次いで第6図に示すように前記アルミニウム層9をエッチングにより除去した後、再び酸化処理を行なうことにより、半導体基板1の全表面に第4の二酸化シリコン層を形成し、周辺回路用トランジスタ形成領域には将来ゲート酸化膜となる二酸化シリコン層14'が形成され、一方メモリ・セル内の前記二酸化シリコン層13, 15, 16はそれぞれ厚さを増し、13', 15', 16'となる。

しかる後、第7図に示すように、半導体基板1表面に第二の多結晶シリコン層を形成し、パター

ニングを行い、メモリ・セル内トランジスタのゲート電極3、周辺回路用トランジスタのゲート電極4および隣接するメモリ・セルから第一の配線体2上に存在する。例えばワード線など第二の配線体5が形成される。

そして、周知の技術によりゲート電極等をマスクとして半導体基板中に反対導電型不純物を導入しソース領域、ドレイン領域を形成する。(図示せず)

以上説明した工程を経て製作されたMOSダイナミックRAMの一例を従来方法のものと対比して第一表に示す。ただし、基板バイアス電圧(V_{B0}) = -5 (V)

	周辺トランジスタ			メモリ・セル内トランジスタ			多層配線部		
	ゲート酸化膜 記号	厚さ	電圧	ゲート酸化膜 記号	厚さ	電圧	分離酸化膜 記号	厚さ	電圧
本発明 方法	14'	700Å	0.8V	13'	2000Å	3.0V	15'	2000Å	1.0V
従来 方法	14	1000Å	1.1V	13	1000Å	2.2V	15	1000Å	0.5V

第一表

以上説明したごとく、本発明方法によればマスク工程をふやすことなく、各部分の酸化膜厚を要求特性に対応した値に任意に制御することができ、多層配線構造による高密度化に、高速化、高耐圧化を図ることができるようになった。

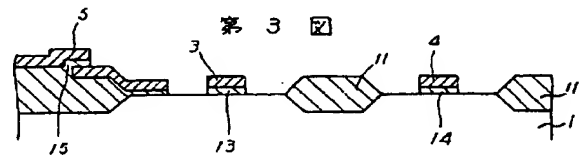
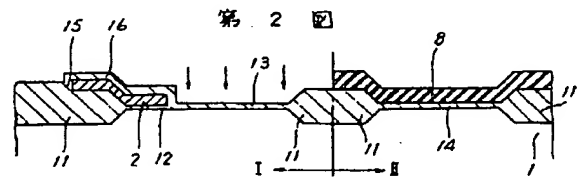
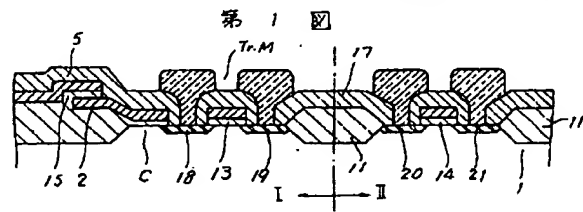
4. 図面の簡単な説明

第1図はMOSダイナミックRAMの従来構造の一例を示す要部断面図、第2図、第3図は従来の製造方法を説明するための要部断面図、第4図～第7図は本発明による製造方法の一実施例を示す要部断面図である。

1……半導体基板、2……第一の多結晶シリコン層、3, 4, 5……第二の多結晶シリコン層、11……素子間絶縁分離領域、12……第1の二酸化シリコン層、13, 13'……第3の二酸化シリコン層よりなるメモリ・セル内トランジスタのゲート酸化膜、14……第3の二酸化シリコン層よりなる周辺回路用トランジスタのゲート酸化膜、14'……第4の二酸化シリコン層よりなる周辺トランジスタのゲート酸化膜、15, 15'……第3

の二酸化シリコン層よりなる多層配線の分離酸化膜。

代理人 弁理士 松 岡 宏 樹 郎



-11-

